

**DLL CIRCUIT****Publication number:** JP2001326563**Publication date:** 2001-11-22**Inventor:** IKEDA YUTAKA**Applicant:** MITSUBISHI ELECTRIC CORP**Classification:**

- **International:** *G11C11/407; G06F1/10; H03K5/13; H03K5/14; H03K5/26; H03L7/00; H03L7/081; H03L7/089; H03K5/00; G11C11/407; G06F1/10; H03K5/13; H03K5/14; H03K5/22; H03L7/00; H03L7/08; H03K5/00; (IPC1-7): H03K5/13; G06F1/10; G11C11/407; H03K5/14; H03K5/26; H03L7/00; H03L7/081*

- **European:** H03K5/13D; H03L7/081A1; H03L7/089

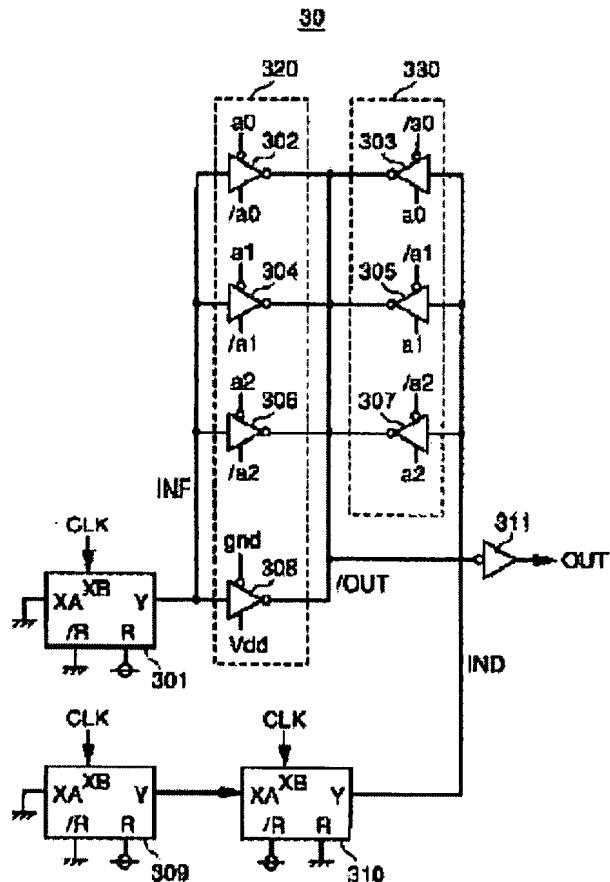
**Application number:** JP20000145991 20000518**Priority number(s):** JP20000145991 20000518**Also published as:**

US6377092 (B2)

US2001054922 (A1)

[Report a data error here](#)**Abstract of JP2001326563**

**PROBLEM TO BE SOLVED:** To provide a DLL circuit capable of precisely adjusting the phase of a clock. **SOLUTION:** The DLL circuit is provided with a fine delay circuit 30, which is provided with a first inverter circuit 320, a second inverter circuit 330, delay units 301, 309 and 310. The output terminal of the circuit 320 is connected to that of the circuit 330, and the first and second circuits 320 and 330 consist of inverters 302 to 308 of different sizes. The inverters 302 to 308 composing the first and second circuits 320 and 330 are selectively driven by addresses counted based on the result of comparing the phase of a delay clock CLKD with that of a reference clock CLK by a phase shifter, and a signal OUT having a phase between signals INF and IND having the phase difference of a fixed quantity T is outputted from a fine delay circuit 30.

Data supplied from the [esp@cenet](mailto:esp@cenet) database - Worldwide

(19)日本国特許庁 (JP)

## (12) 公開特許公報 (A)

(11)特許出願公開番号

特開2001-326563

(P2001-326563A)

(43)公開日 平成13年11月22日 (2001.11.22)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テ-マコト <sup>8</sup> (参考)
H 03 K 5/13		H 03 K 5/13	5 B 0 2 4
G 06 F 1/10		5/14	5 B 0 7 9
G 11 C 11/407		5/26	C 5 J 0 0 1
H 03 K 5/14		H 03 L 7/00	D 5 J 0 3 9
5/26		C 06 F 1/04	3 3 0 A 5 J 1 0 6

審査請求 未請求 請求項の数 4 OL (全 9 頁) 最終頁に続く

(21)出願番号 特願2000-145991(P2000-145991)

(71)出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(22)出願日 平成12年5月18日(2000.5.18)

(72)発明者 池田 豊

東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内

(74)代理人 100064746

弁理士 深見 久郎 (外4名)

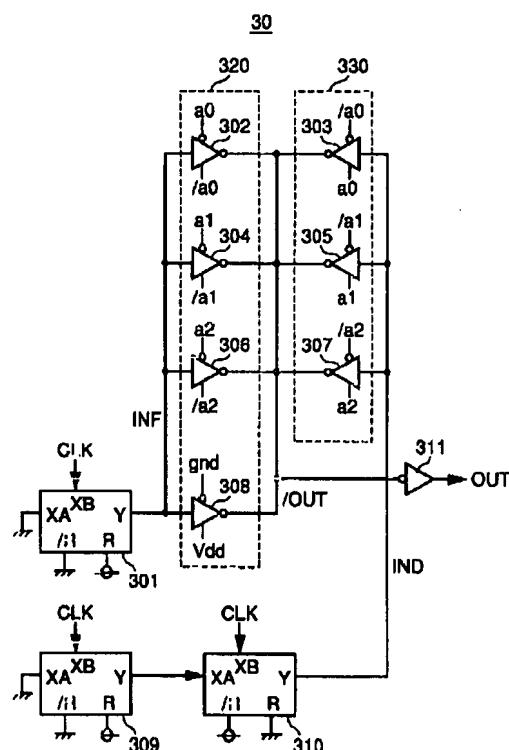
最終頁に続く

(54)【発明の名称】 D L L回路

(57)【要約】

【課題】 クロックの位相を高精度に調整できるD L L回路を提供する。

【解決手段】 D L L回路はファイン遅延回路30を備える。ファイン遅延回路30は、第1のインバータ回路320と、第2のインバータ回路330と、遅延ユニット301, 309, 310とを備える。第1のインバータ回路320の出力端子は第2のインバータ回路330の出力端子に接続されており、第1および第2のインバータ回路320, 330は、サイズの異なるインバータ302~308から構成される。位相比較器において遅延クロックCLKDの位相を基準クロックCLKの位相と比較した比較結果に基づいてカウントされたアドレスa0~a2によって第1および第2のインバータ回路320, 330を構成するインバータ302~308が選択駆動され、一定量Tの位相差を有する信号INF, INDの間に位相を有する信号OUTがファイン遅延回路30から出力される。



## 【特許請求の範囲】

【請求項1】 遅延クロックの位相を基準クロックの位相と比較する位相比較器と、前記位相比較器の比較結果に基づいてアップ／ダウンをカウントし、第1および第2のアドレスを出力するカウンタと、前記基準クロックに基づいて一定量の位相差を有する第1および第2の信号を生成し、その生成した第1および第2の信号と前記第1のアドレスとにに基づいて位相が前記第1の信号の位相と前記第2の信号の位相との間に存在する微調整クロックを生成する第1の遅延回路と、前記第2のアドレスに基づいて、前記一定量の整数倍だけ前記微調整クロックを遅延させて前記遅延クロックを出力する第2の遅延回路とを備えるD L L回路。

【請求項2】 前記第1の遅延回路は、前記第1のアドレスに基づいて前記第1および第2の信号に対する重み付けを行なうことにより前記微調整クロックを生成する請求項1に記載のD L L回路。

【請求項3】 前記第1の遅延回路は、サイズを決定することにより前記第1の信号に対する重み付けを行なう第1のインバータ回路と、

前記第1のインバータ回路の出力端子に接続された出力端子を有し、サイズを決定することにより前記第2の信号に対する重み付けを行なう第2のインバータ回路とを含み、

前記カウンタは、前記第1および第2のインバータ回路のサイズを決定するための前記第1のアドレスを前記第1の遅延回路へ出力する請求項2に記載のD L L回路。

【請求項4】 前記第1の遅延回路は、互いに異なるサイズを有し、並列に接続された複数の第1のインバータと、

前記複数の第1のインバータの出力端子に接続された出力端子を有し、互いにサイズが異なる並列に接続された複数の第2のインバータとを含み、

前記カウンタは、前記第1および第2のインバータを選択的に活性化するための前記第1のアドレスを前記第1の遅延回路へ出力する請求項1に記載のD L L回路。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】この発明は、半導体集積回路装置に用いて有用なD L L (Delay Locked Loop) 回路に関し、特にクロックの位相を高精度に調整可能なD L L回路に関するものである。

## 【0002】

【従来の技術】従来、D L L回路は、インバータチェーン等のディレイチェーンを用いて位相合せを行なっている。その位相合せの方法は、ある一定の値で変化するディレイチェーンのディレイ量の中から必要なディレイ量を自動的に選択し、そのディレイ量を保持する方法である。そして、一定の値よりさらに精度よく位相合せを行なうためには、図14に示すようにインバータ60とイ

ンバータ70との間に容量の異なるキャパシタ62, 64, 66をNチャネルMOSトランジスタ61, 63, 65を介して接続し、アドレスa0, a1, a2によりNチャネルMOSトランジスタ61, 63, 65を選択的にオン／オフさせる。これにより、2つのインバータ60, 70による一定の遅延量の範囲内でクロックの位相を調整する。

## 【0003】

【発明が解決しようとする課題】ところが、従来のD L L回路は、インバータチェーンにより一定量の遅延を行ない、キャパシタにより一定量より小さい遅延を行なっており、両者の遅延方式が異なるため、電圧、プロセス、温度の影響の度合いが異なり、クロックの位相調整が非常に困難であるという問題があった。

【0004】図14に示すキャパシタ62, 64, 66の容量のバラツキによりキャパシタ62, 64, 66による遅延量がインバータ60および70による遅延量を超てしまい、インバータ60および70による遅延量の範囲内でクロックの位相を高精度に調整することができないという問題があった。

【0005】そこで、本発明はかかる問題を解決するためになされたものであり、その目的は、電圧、プロセス、温度等の影響を受けにくく、クロックの位相を高精度に調整できるD L L回路を提供することにある。

## 【0006】

【課題を解決するための手段】この発明によるD L L回路は、遅延クロックの位相を基準クロックの位相と比較する位相比較器と、位相比較器の比較結果に基づいてアップ／ダウンをカウントし、第1および第2のアドレスを出力するカウンタと、基準クロックに基づいて一定量の位相差を有する第1および第2の信号を生成し、その生成した第1および第2の信号と第1のアドレスとにに基づいて位相が第1の信号の位相と第2の信号の位相との間に存在する微調整クロックを生成する第1の遅延回路と、第2のアドレスに基づいて、一定量の整数倍だけ微調整クロックを遅延させて遅延クロックを出力する第2の遅延回路とを備える。

【0007】この発明によるD L L回路においては、遅延クロックの位相を基準クロックの位相と比較した比較結果に基づいてアップ／ダウンをカウントし、第1および第2のアドレスを生成する。そして、第1のアドレスに基づいて基準クロックの位相を一定量Tの範囲内で制御するファイン制御を行ない、第2のアドレスに基づいて基準クロックの位相を一定量Tの精度で制御する粗制御を行なう。

【0008】したがって、遅延クロックの位相を基準クロックの位相に一定量Tの範囲内で高精度に一致させることができる。

【0009】好ましくは、第1の遅延回路は、第1のアドレスに基づいて第1および第2の信号に対する重み付

けを行なうことにより微調整クロックを生成する。

【0010】第1の遅延回路は、第1のアドレスに基づいて、一定量Tの位相差を有する第1および第2の信号に対する重み付けを行ない、第1の信号の位相と第2の信号の位相との間に位相が存在する微調整クロックを生成する。

【0011】したがって、遅延クロックの位相を基準クロックの位相に一定量Tの範囲内で高精度に一致させることができる。

【0012】特に第1の遅延回路は、サイズを決定することにより第1の信号に対する重み付けを行なう第1のインバータ回路と、第1のインバータ回路の出力端子に接続された出力端子を有し、サイズを決定することにより第2の信号に対する重み付けを行なう第2のインバータ回路とを含み、カウンタは、第1および第2のインバータ回路のサイズを決定するための第1のアドレスを第1の遅延回路へ出力する。

【0013】第1の遅延回路においては、カウンタからの第1のアドレスに基づいて、第1および第2のインバータ回路のサイズが決定され、その決定されたサイズに基づいて一定量Tの位相差を有する第1および第2の信号に対する重み付けが行われる。

【0014】したがって、サイズが可変なインバータを用いることによって容易に第1および第2の信号に対する重み付けを行なうことができる。その結果、一定量Tの範囲内で高精度に基準クロックの位相を調整できる。

【0015】また、粗制御を行なう回路とファイン制御を行なう回路とをインバータを用いて構成できるので、電圧、プロセス、温度による両制御への影響の度合いを同じにでき、遅延クロックの位相を基準クロックの位相に容易に一致させることができる。

【0016】好ましくは、第1の遅延回路は、互いに異なるサイズを有し、並列に接続された複数の第1のインバータと、複数の第1のインバータの出力端子に接続された出力端子を有し、互いにサイズが異なる並列に接続された複数の第2のインバータとを含み、カウンタは、第1および第2のインバータを選択的に活性化するための第1のアドレスを第1の遅延回路へ出力する。

【0017】第1の遅延回路においては、カウンタからの第1のアドレスに基づいて、互いに異なるサイズを有し、並列に接続された複数の第1および第2のインバータのうち、一部のインバータが選択的に活性化される。そして、一定量Tの位相差を有する第1および第2の信号に対する重み付けが行われる。

【0018】したがって、互いにサイズが異なるインバータを並列に接続するだけで容易に第1および第2の信号に対する重み付けを行なうことができる。その結果、一定量Tの範囲内で高精度に基準クロックの位相を調整できる。

【0019】また、粗制御を行なう回路とファイン制御

を行なう回路とをインバータを用いて構成できるので、電圧、プロセス、温度による両制御への影響の度合いを同じにでき、遅延クロックの位相を基準クロックの位相に容易に一致させることができる。

【0020】

【発明の実施の形態】本発明の実施の形態について図面を参照しながら詳細に説明する。なお、図中同一または相当部分には同一符号を付してその説明は繰返さない。

【0021】図1を参照して、本発明によるD L L回路100は、位相比較器10と、カウンタ20と、ファイン遅延回路30と、コース遅延回路40とを備える。

【0022】位相比較器10は、基準クロックCLKと遅延クロックCLKDとを入力し、遅延クロックCLKDの位相を基準クロックCLKの位相と比較し、その比較結果を出力する。

【0023】カウンタ20は、位相比較器10の比較結果に基づいてアップ／ダウンをカウントし、アドレスa0～a2と、アドレスa3～a5とを出力する。

【0024】ファイン遅延回路30は、クロックを精細に遅延させるもので、基準クロックCLKとカウンタ20からのアドレスa0～a2とを入力し、後述する方法により基準クロックCLKから微調整クロックCLKBを生成して出力する。コース遅延回路40は、クロックを大まかに遅延させるもので、ファイン遅延回路30からの微調整クロックCLKBとカウンタ20からのアドレスa3～a5とを入力し、後述する方法により微調整クロックCLKBを一定量の整数倍だけ遅延させて遅延クロックCLKDを出力する。出力された遅延クロックCLKDは位相比較器10に入力されるとともに、出力端子OUTから外部へ出力される。

【0025】図2を参照して、位相比較器10は、NAND101～107と、インバータ108とを備える。NAND101とNAND102、NAND103とNAND104、NAND106とNAND107は、それぞれ、フリップフロップの機能を果たすものである。その結果、位相比較器10は、遅延クロックCLKDの位相を基準クロックCLKの位相と比較し、遅延クロックCLKDの位相遅れに応じた信号をUP端子から出力する。なお、本実施の形態においては、DN端子は使用しない。

【0026】図3を参照して、カウンタ20は、カウンタユニット201～206と、インバータ207～212とを備える。また、カウンタユニット201～206の各々は、図4に示すようにインバータ213、219、220、224、225、226、231と、NチャネルMOSトランジスタ214、216、221、223、227、229と、PチャネルMOSトランジスタ215、217、228、230と、クロックドインバータ218、222と、NORゲート232とを備える。

【0027】図4に示すカウンタユニットに、位相比較器10からの位相比較結果UP、基準クロックCLK、/CLKおよびリセット信号RSTが入力されると、図5に示すようなキャリア信号Cおよびデータ信号Dが出力される。位相比較器10で遅延クロックCLKDの位相が基準クロックCLKの位相と比較された結果、基準クロックCLKの各立上がりで遅延クロックCLKDがH(論理ハイ)レベルのときは、カウンタユニット201~206の端子UPにはHレベルの信号が入力され、カウンタ20は図6に示すアドレスa0~a5を基準クロックCLKの各サイクルにおいて生成する。また、基準クロックCLKの各立上がりで遅延クロックCLKDがL(論理ロー)レベルのときは、カウンタ201~206の端子UPにはLレベルの信号が入力され、カウンタ20は、図7に示すアドレスa0~a5を基準クロックCLKの各サイクルにおいて生成する。したがって、カウンタ20は、位相比較器10の比較結果に応じてアドレスa0~a5を生成し、アドレスa0~a2をファイン遅延回路30へ出力し、アドレスa3~a5をコース遅延回路40へ出力する。

【0028】図8を参照して、ファイン遅延回路30は、遅延ユニット301と、クロックドインバータ302~308と、遅延ユニット309、310と、インバータ311とを備える。クロックドインバータ302の出力端子はクロックドインバータ303の出力端子と接続され、クロックドインバータ304の出力端子はクロックドインバータ305の出力端子と接続され、クロックドインバータ306の出力端子はクロックドインバータ307の出力端子と接続される。そして、クロックドインバータ302、304、306、308は並列に接続され、クロックドインバータ303、305、307もまた並列に接続される。また、クロックドインバータ302、303は、インバータを構成するPチャネルMOSトランジスタとNチャネルMOSトランジスタのチャネル幅(以下単に「サイズ」という。)が同じであるサイズnを有し、クロックドインバータ304、305は同じサイズ2nを有し、クロックドインバータ306、307は同じサイズ4nを有し、クロックドインバータ308はサイズnを有する。さらに、クロックドインバータ302、303はカウンタ20から出力されるアドレスa0、/a0により駆動され、クロックドインバータ302が駆動されたときはクロックドインバータ303は駆動されず、クロックドインバータ302が駆動されないときはクロックドインバータ303が駆動される。すなわち、アドレスa0がLレベルのときはクロックドインバータ302が駆動され、アドレスa0がHレベルのときはクロックドインバータ303が駆動される。クロックドインバータ304、305はカウンタ20から出力されるアドレスa1、/a1により駆動され、クロックドインバータ306、307はカウンタ2

0から出力されるアドレスa2、/a2により駆動される。そして、その駆動方法は、アドレスa0、/a0によるクロックドインバータ302、303の駆動方法と同じである。

【0029】図9を参照して、遅延ユニット301、309、310の各々は、クロックドインバータ312、313とインバータ314とを備える。クロックドインバータ312は信号RがLレベルのとき駆動し、入力信号XAに対してインバータとして機能する。この場合、クロックドインバータ313は駆動されない。また、クロックドインバータ313はR信号がHレベルのとき駆動され、入力信号XBに対してインバータとして機能する。この場合、クロックドインバータ312は駆動されない。したがって、信号RがLレベルかHレベルかによりクロックドインバータ312またはクロックドインバータ313が駆動され、入力信号XAまたは入力信号XBが反転されてインバータ314に入力される。そして、その反転された信号がインバータ314によりさらに反転されて出力信号Yが得られる。よって、遅延ユニット301、309、310は入力信号XA、XBの位相を一定量T遅延させるものである。

【0030】再び図8を参照して、遅延ユニット301は、信号RがHレベルであり、信号/RがLレベルであるので、入力された基準クロックCLKの位相を一定量T遅延させて信号INFを出力する。同様に、遅延ユニット309も入力された基準クロックCLKの位相を一定量T遅延させて信号Yを出力する。遅延ユニット310は、信号RがLレベルであり、信号/RがHレベルであるので、入力された信号XA(Y)の位相を一定量T遅延して信号INDを出力する。その結果、信号INFは基準クロックCLKの位相を一定量T遅延させたものであり、信号INDは基準クロックCLKの位相を一定量T×2遅延させたものであるので、信号INFと信号INDとの位相差は一定量Tである。

【0031】クロックドインバータ302~307は、カウンタ20から出力されるアドレスa0~a2により選択的に活性化される。カウンタ20から出力されるアドレスが、a0=a1=a2=0のとき、クロックドインバータ302、304、306、308が活性化されるため、並列接続されたクロックドインバータ302、304、306、308の合成サイズw<sub>f</sub>は、w<sub>f</sub>=n+2n+4n+n=8nとなる。この場合、クロックドインバータ303、305、307は活性化されないので、並列接続されたクロックドインバータ303、305、307の合成サイズw<sub>f</sub>は0である。

【0032】また、アドレスがa0=a1=a2=1のときクロックドインバータ302、304、306は活性化されず、クロックドインバータ303、305、307、308が活性化される。その結果、合成サイズw<sub>f</sub>=n、合成サイズw<sub>d</sub>=7nとなる。すべてのアドレス

a0～a2に対して合成サイズw<sub>f</sub>、w<sub>d</sub>を計算すると表1のようになる。

【0033】

【表1】

a0	a1	a2	Wf	Wd
0	0	0	8n	0
1	0	0	7n	n
0	1	0	6n	2n
1	1	0	5n	3n
0	0	1	4n	4n
1	0	1	3n	5n
0	1	1	2n	6n
1	1	1	n	7n

【0034】その結果、合成サイズw<sub>f</sub>は、アドレスa0～a2に対して8nからnまで変化し、合成サイズw<sub>d</sub>はアドレスa0～a2に対して0から7nまで変化する。したがって、並列接続されたクロックドインバータ302、304、306、308はアドレスa0～a2に対してサイズが8nからnまで変化する1つのクロックドインバータ回路320と考えられ、並列接続されたクロックドインバータ303、305、307はアドレスa0～a2に対してサイズが0から7nまで変化するもう1つのクロックドインバータ回路330と考えられる。

【0035】図10を参照して、アドレスがa0=a1=a2=0のときクロックドインバータ回路320に信号INFが入力し、クロックドインバータ回路330に信号INDが入力すると、信号OUT1が outputされる。また、アドレスがa0=1、a1=a2=0のときは信号OUT2が outputされる。アドレスがa0=a1=a2=1のときは信号OUT8が outputされる。したがって、クロックドインバータ回路320の合成サイズw<sub>f</sub>とクロックドインバータ回路330の合成サイズw<sub>d</sub>との比により決定される位相を有する信号OUT1、OUT2、…、OUT8が outputされる。その結果、ファイン遅延回路30はアドレスa0～a2に応じて位相が直線的に変化する信号OUT1、OUT2、…、OUT8を出力できる。

【0036】合成サイズw<sub>f</sub>が8n、合成サイズw<sub>d</sub>が0のとき、信号OUT1が outputされるので、信号OUT1が信号INFに相当する。したがって、図11を参照して、信号INFと信号INDに対して一定量Tの位相差を有する信号INDとの間に位相が存在する信号OUT2、OUT3、OUT4、OUT5、OUT6、OUT7、OUT8がファイン遅延回路30から出力される。

【0037】上記においては、アドレスa0～a2により決定されるクロックドインバータ回路320の合成サイズw<sub>f</sub>とクロックドインバータ回路330の合成サイズw<sub>d</sub>との比により位相が変化する信号OUT1、OUT2、…、OUT8が outputされる説明したが、これは一定量Tの位相差を有する2つの信号INF、INDを入力とし、アドレスa0～a2により決定される合成サイズw<sub>f</sub>、w<sub>d</sub>によりそれぞれ信号INF、信号INDに対する重み付けを変えて位相が変化する信号OUT1～OUT8を出力することに相当する。

【0038】また、ファイン遅延回路30は基準クロックCLKを遅延させて一定量Tの位相差を有する信号INFと信号INDとを生成すると説明したが、本発明は、これに限らず、基準クロックCLKの位相を進ませたり、または遅延させたりして結果的に一定量Tの位相差を有する2つの信号INF、INDを生成するものであればよい。

【0039】図12を参照して、コース遅延回路40は、遅延ユニット401～408と、デコーダ409～416とを備える。遅延ユニット401～408は、図9に示した遅延ユニット301、309、310と同じ構成を有し、入力信号XA、XBの位相を一定量Tだけ遅延させるものである。デコーダ409～416の各々は、図13に示すように3入力NAND417と、インバータ418とを備える。デコーダ409～416は、入力信号A1、A2、A3に応じて信号R、/Rを出力するものである。

【0040】再び図12を参照して、デコーダ409～416は、カウンタ20からのアドレスa3～a5を受け、遅延ユニット401～408に信号R、/Rを出力する。遅延ユニット401～408は、信号RがLレベルのとき入力信号XAを一定量Tだけ遅延させ、信号RがHレベルのとき入力信号XBを一定量Tだけ遅延させるので、コース遅延回路40はデコーダ409～416により入力された微調整クロックCLKBの位相を遅延させる遅延ユニット401～408の段数を決定し、その決定した段数分だけ微調整クロックCLKBの位相を遅延させる。たとえば、アドレスがa3=0、a4=1、a5=0のときデコーダ409、410、411、412、413、415、416からはLレベルの信号Rが出力され、且つ、Hレベルの信号/Rが出力され、デコーダ414からはHレベルの信号Rが出力され、且つ、Lレベルの信号/Rが出力される。その結果、遅延ユニット401～405、407、408は入力信号XAの位相を一定量Tだけ遅延させ、遅延ユニット406は入力信号XBの位相を一定量Tだけ遅延させる。初段の遅延ユニット401の入力信号XAは常時Lレベルであるので、遅延ユニット401～405は入力された微調整クロックCLKBの位相を遅延させず、遅延ユニット406～408の各々が微調整クロックCLKBの位

相を一定量Tだけ遅延させる。したがって、アドレスがa3=0, a4=1, a5=0のとき微調整クロックCLKCCLKBは3段分の遅延ユニット406, 407, 408により一定量T×3だけその位相を遅延され、遅延クロックCLKDとして出力される。

【0041】以上説明したように、DLL回路100においては遅延クロックCLKDの位相が基準クロックCLKの位相と比較され、その比較結果に基づいてアドレスa0～a2とアドレスa3～a5とが生成される。そして、アドレスa0～a2によりファイン遅延回路30における遅延量が一定量Tの範囲内で精細に制御され、アドレスa3～a5によりコース遅延回路40における遅延量が一定量Tの精度で制御され、その結果、遅延クロックCLKDの位相が基準クロックCLKの位相に一致する。なお、上記説明したDLL回路100は、メモリセルをアレイ状に配列したDRAMのような高速応答の半導体集積回路装置に用いて有用なものである。

【0042】今回開示された実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は、上記した実施の形態の説明ではなくて特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

#### 【0043】

【発明の効果】本発明に係るDLL回路は、遅延クロックの位相を基準クロックの位相と比較する位相比較器と、位相比較器の比較結果に基づいてアップ／ダウンをカウントし、第1および第2のアドレスを出力するカウンタと、基準クロックに基づいて一定量の位相差を有する第1および第2の信号を生成し、その生成した第1および第2の信号と第1のアドレスとにに基づいて位相が第1の信号の位相と第2の信号の位相との間に存在する微調整クロックを生成する第1の遅延回路と、第2のアドレスに基づいて、一定量の整数倍だけ微調整クロックを遅延させて遅延クロックを出力する第2の遅延回路とを備える構成を有するので、遅延クロックの位相を基準クロックの位相に一定量Tの範囲内で高精度に一致させることができる。

#### 【図面の簡単な説明】

【図1】 本発明の実施の形態によるDLL回路の構成を示すブロック図である。

【図2】 図1に示すDLL回路の位相比較器の構成を示す回路図である。

【図3】 図1に示すDLL回路のカウンタの構成を示すブロック図である。

【図4】 図3に示すカウンタの各カウンタユニットの構成を示す回路図である。

【図5】 図4のカウンタユニットの動作を示すタイミング図である。

【図6】 基準クロックの各立上がりにおいて遅延クロックがHレベルのとき、図3のカウンタから出力されるアドレスを示すタイミング図である。

【図7】 基準クロックの各立上がりにおいて遅延クロックがLレベルのとき、図3のカウンタから出力されるアドレスを示すタイミング図である。

【図8】 図1に示すDLL回路の第1の遅延回路の構成を示す図である。

【図9】 図8に示す遅延回路の各ファイン遅延ユニットの構成を示す回路図である。

【図10】 図8に示すファイン遅延回路の動作を示すタイミング図である。

【図11】 図8に示すファイン遅延回路により一定量の範囲内で位相を変化させることができることを説明する図である。

【図12】 図1に示すDLL回路のコース遅延回路の構成を示す回路図である。

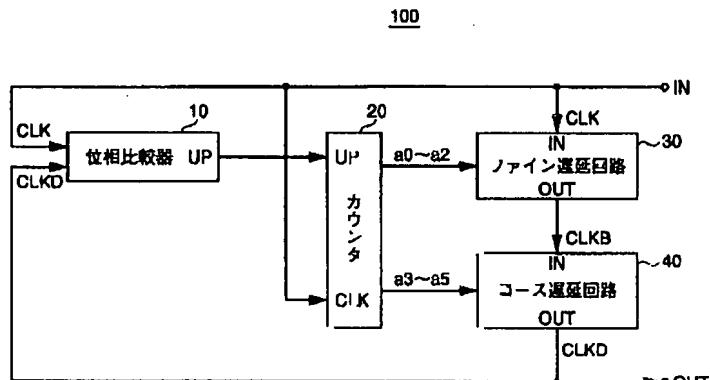
【図13】 図12に示すコース遅延回路の各デコーダの構成を示す回路図である。

【図14】 クロックの位相を微調整する従来のインバータチェーンを示す回路図である。

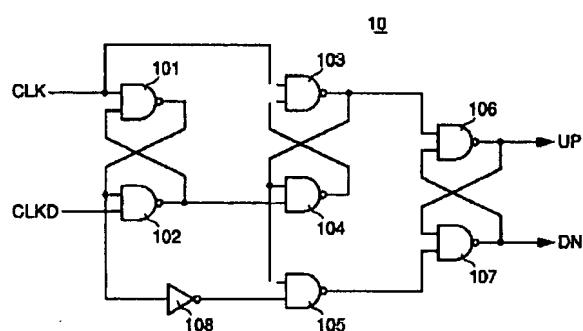
#### 【符号の説明】

10 位相比較器、20 カウンタ、30 ファイン遅延回路、40 コース遅延回路、60, 70 インバータ、61, 63, 65 NチャネルMOSトランジスタ、62, 64, 66 キャパシタ、100 DLL回路、101～107 NANDゲート、108 インバータ、201～206 カウンタユニット、207～212 インバータ、213, 219, 220, 224, 225, 226, 231 インバータ、214, 216, 221, 223, 227, 229 NチャネルMOSトランジスタ、215, 217, 228, 230 PチャネルMOSトランジスタ、218, 222 クロックドインバータ、232 2入力NORゲート、301, 309, 310 遅延ユニット、302～308 クロックドインバータ、311 インバータ、312, 313 クロックドインバータ、314 インバータ、401～408 遅延ユニット、409～416 デコーダ、417 3入力NANDゲート、418 インバータ。

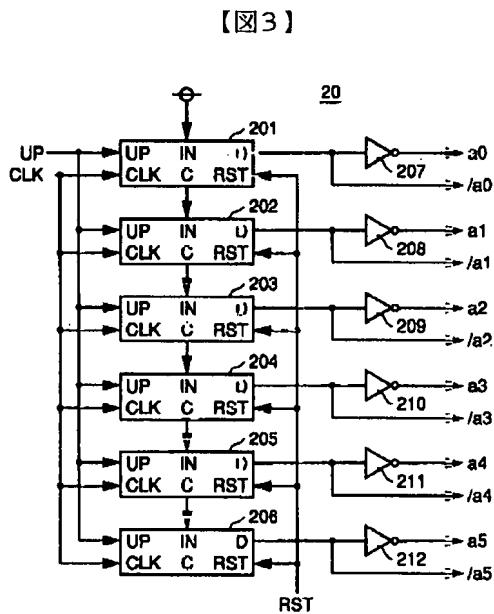
【図1】



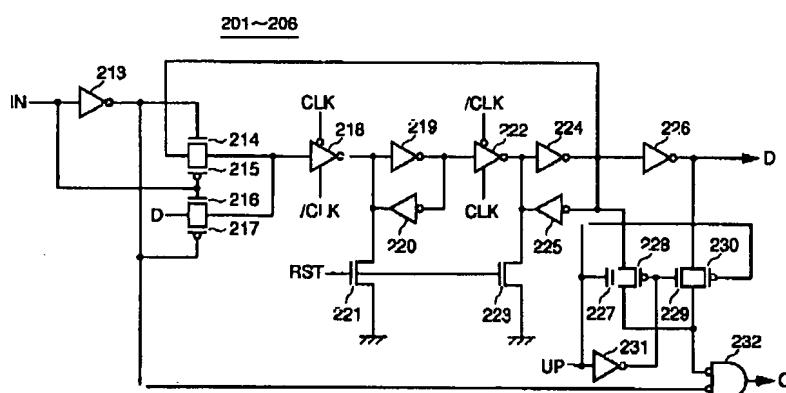
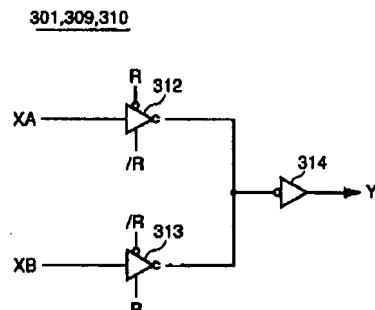
【図2】



【図4】

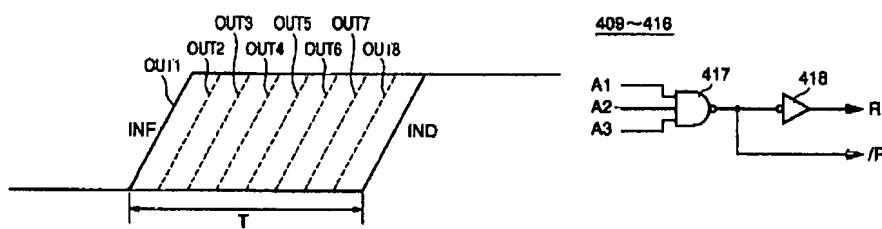


【図9】

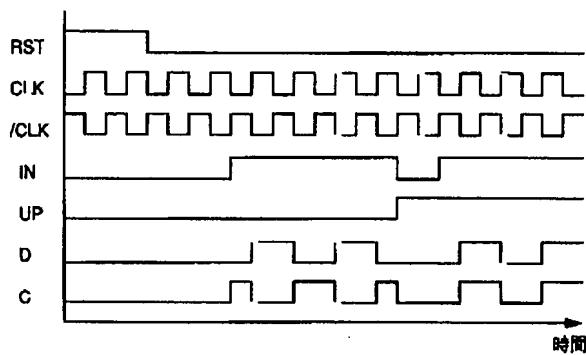


【図11】

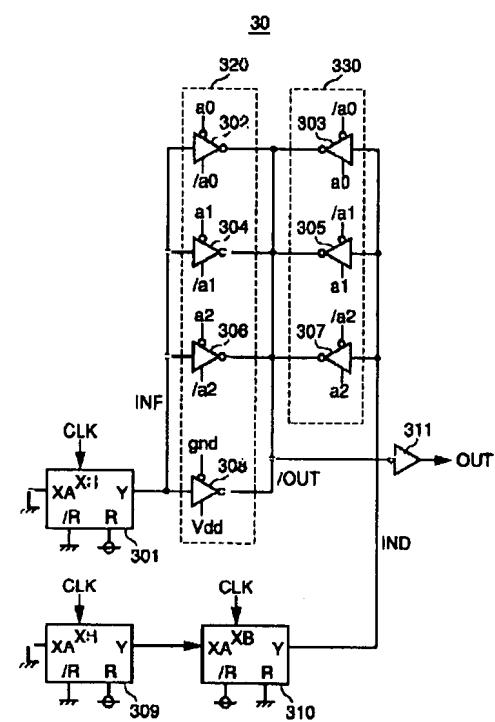
【図13】



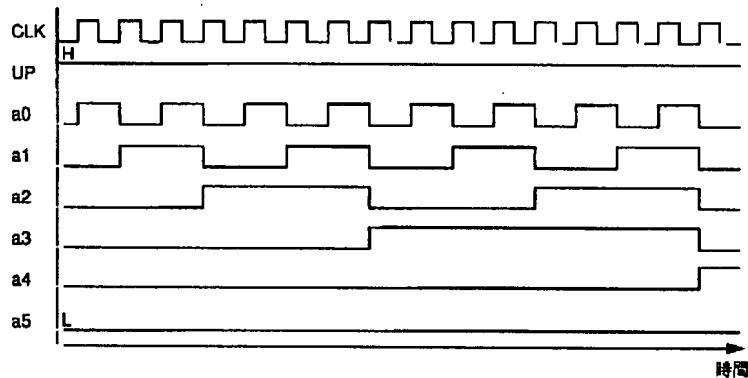
【図5】



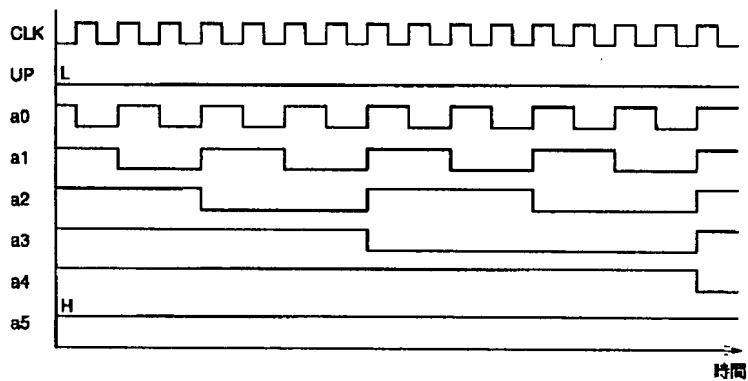
【図8】



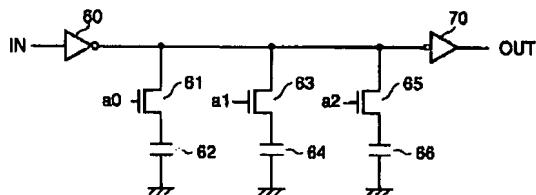
【図6】



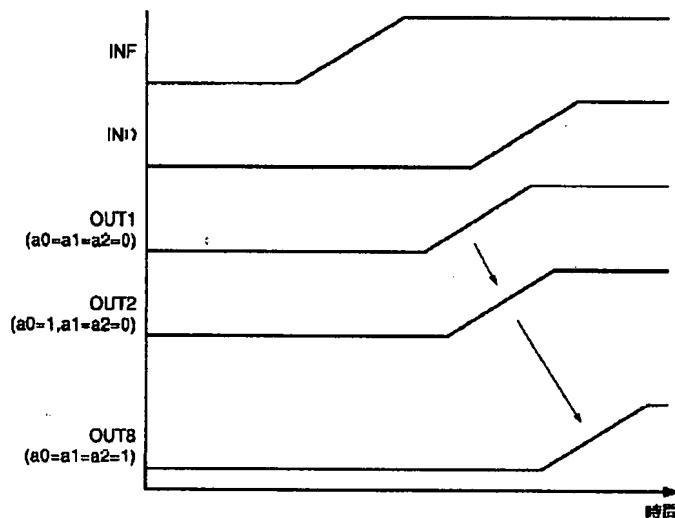
【図7】



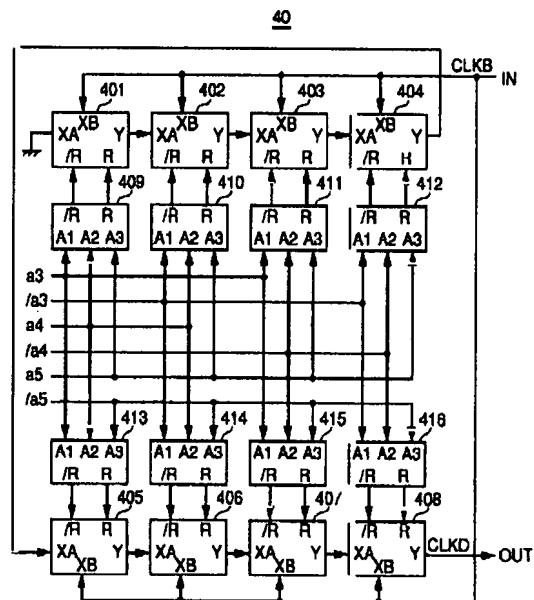
【図14】



【図10】



【図12】



フロントページの続き

(51) Int. Cl. 7  
 H 0 3 L 7/00  
 7/081

識別記号

F I  
 G 1 1 C 11/34

(参考)

3 5 4 C  
 3 6 2 S  
 H 0 3 L 7/08  
 J

F ターム(参考) 5B024 AA03 BA21 BA23 CA07  
 5B079 BA20 BB10 BC03 CC02 CC14  
 DD06 DD20  
 5J001 AA11 BB10 BB12 BB14 BB21  
 DD02 DD03  
 5J039 JJ07 JJ14 KK10 KK13 KK23  
 MM01 MM02  
 5J106 AA04 CC24 CC59 DD19 DD43  
 DD48 GG10 HH10 JJ06 KK06  
 LL01 LL06